

(51)Int.Cl.<sup>7</sup>  
H 0 3 H 11/04

識別記号

F I  
H 0 3 H 11/04

テ-マコ-ト\*(参考)  
C 5 J 0 9 8  
E  
G

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21)出願番号

特願2001-111486(P2001-111486)

(22)出願日

平成13年 4 月10日 (2001. 4. 10)

(71)出願人

000006231  
株式会社村田製作所  
京都府長岡京市天神二丁目26番10号

(72)発明者

笹畑 昭弘  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者

中尾 元保  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(74)代理人

100079441  
弁理士 広瀬 和彦

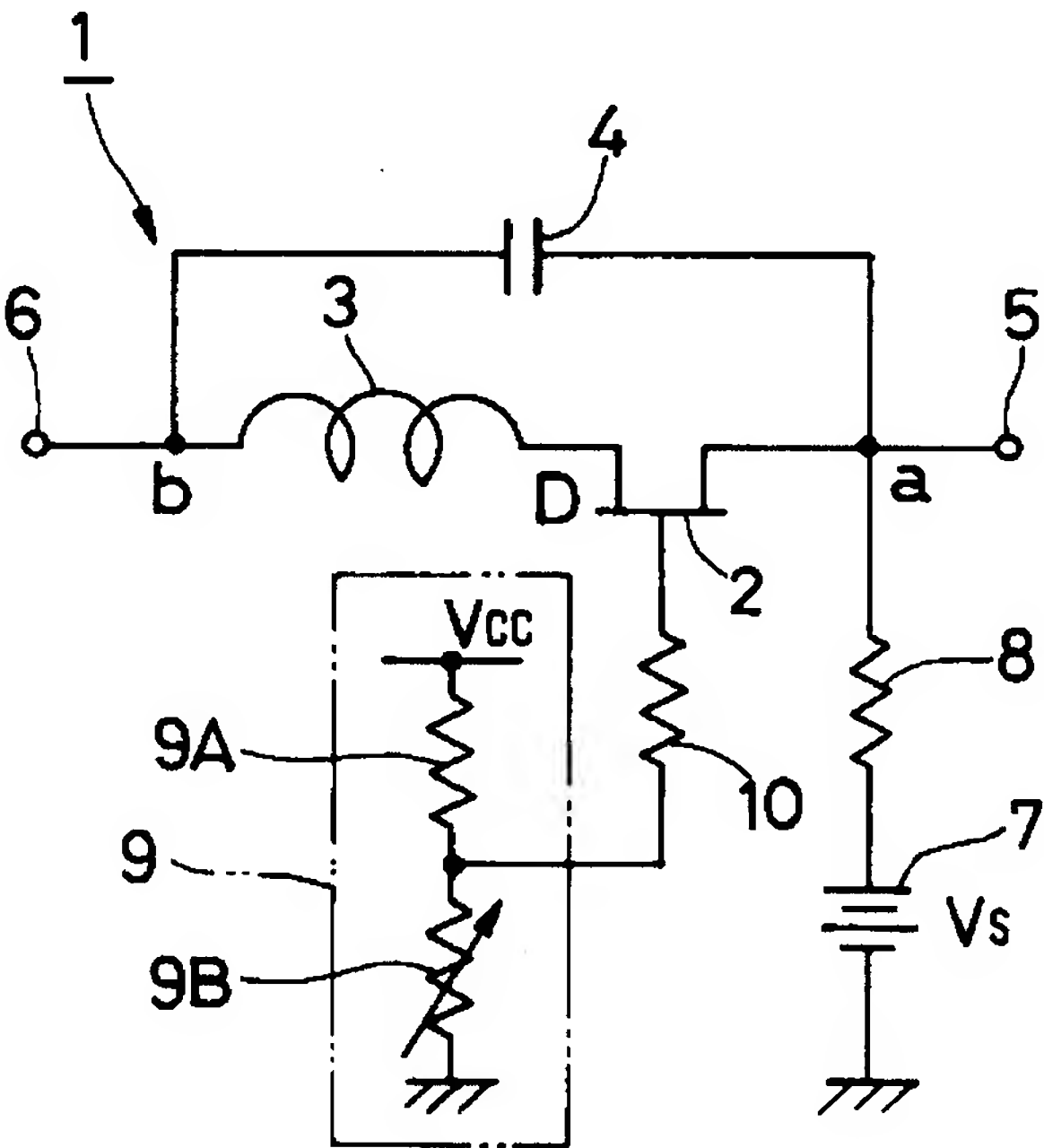
最終頁に続く

(54) 【発明の名称】 可変減衰器

(57) 【要約】

【課題】 大きな減衰量が設定可能で、製造コストを低下させ、装置全体の小型化が可能な可変減衰器を提供する。

【解決手段】 F E T 2 のドレインに誘導素子 3 を直列接続すると共に、F E T 2 と誘導素子 3 との直列接続に対して容量素子 4 を並列接続し、共振型の S P S T スイッチ 1 を構成する。また、F E T 2 のソースには電圧 V s を印加する定電圧源 7 を接続すると共に、F E T 2 のゲートにはF E T 2 をオン状態とピンチオフ近傍の状態とに切り換える可変電圧発生器 9 を接続する。そして、可変電圧発生器 9 によってF E T 2 のゲートに対してピンチオフ電圧近傍の電圧 V α を印加することによって、S P S T スイッチ 1 を閉成すると共に、端子 5 , 6 間の減衰量を可変に設定することができる。



## 【特許請求の範囲】

【請求項 1】 FET と、該 FET のソースまたはドレインに直列接続された誘導素子と、該誘導素子と FET との直列接続に対して並列接続された容量素子と、該容量素子の両端にそれぞれ接続された第 1、第 2 の端子と、前記 FET のゲート電圧を変化させ前記第 1 の端子と第 2 の端子との間の信号の減衰量を可変に設定する減衰量設定器とによって構成してなる可変減衰器。

【請求項 2】 前記 FET のソースまたはドレインには一定電圧を付与する定電圧源を接続し、前記減衰量設定器は、前記 FET のゲートに接続されゲートの電圧を可変に設定する可変電圧発生器である請求項 1 に記載の可変減衰器。

【請求項 3】 前記 FET のゲートを接地し、前記減衰量設定器は、前記 FET のソースまたはドレインに接続されソースまたはドレインの電圧を可変に設定する可変電圧発生器である請求項 1 に記載の可変減衰器。

【請求項 4】 第 1 の FET と、該第 1 の FET のソースまたはドレインに直列接続された第 1 の誘導素子と、該第 1 の誘導素子と第 1 の FET との直列接続に対して並列接続された第 1 の容量素子と、第 2 の FET と、該第 2 の FET のソースまたはドレインに直列接続された第 2 の誘導素子と、該第 2 の誘導素子と第 2 の FET との直列接続に対して並列接続された第 2 の容量素子と、前記第 1、第 2 の容量素子の一端に接続された第 1 の端子と、前記第 1 の容量素子の他端に接続された第 2 の端子と、前記第 2 の容量素子の他端に接続された第 3 の端子と、前記第 2 の FET のゲート電圧を変化させ前記第 1 の端子と第 3 の端子との間を導通または遮断する電圧切換器と、前記第 1 の FET のゲート電圧を変化させ前記第 1 の端子と第 2 の端子との間の信号の減衰量を可変に設定する減衰量設定器とによって構成してなる可変減衰器。

【請求項 5】 一の FET と、該一の FET のソースまたはドレインに直列接続された誘導素子と、該誘導素子と一の FET との直列接続に対して並列接続された容量素子と、該容量素子と前記 FET との接続部にソースまたはドレインが接続された他の FET と、前記容量素子と一の FET との接続点に接続された第 1 の端子と、前記容量素子を挟んで該第 1 の端子の反対側に接続された第 2 の端子と、前記他の FET を挟んで前記第 1 の端子の反対側に接続された第 3 の端子と、前記 2 つの FET のゲート電圧を変化させ前記第 1 の端子と第 2 の端子との間の信号の減衰量を可変に設定する減衰量設定器とによって構成してなる可変減衰器。

【請求項 6】 前記他の FET のソースとドレインとの間には、他の誘導素子を並列接続する構成としてなる請求項 5 に記載の可変減衰器。

【請求項 7】 前記 2 つの FET のゲートを接地し、前記減衰量設定器は、前記 2 つの FET を接続する第 1 の端子に接続され前記 2 つの FET のソースまたはドレインの電圧を可変に設定する可変電圧発生器である請求項 6 または 7 に記載の可変減衰器。

【請求項 8】 前記第 2 の端子と第 3 の端子のうち一方の端子を高周波グランドに接続し、これら 2 つの端子のうち他方の端子と前記第 1 の端子との間に SPST スイッチを構成してなる請求項 5、6 または 7 に記載の可変減衰器。

【請求項 9】 前記 SPST スイッチを複数個直列接続して SPDТ スイッチを構成してなる請求項 8 に記載の可変減衰器。

【請求項 10】 FET と、該 FET のソースまたはドレインに直列接続された誘導素子と、該誘導素子と FET との直列接続に対して並列接続された容量素子と、該容量素子の両端にそれぞれ接続された第 1、第 2 の端子とによって SPST 構造体を構成し、該 SPST 構造体を複数個並列接続し、該各 SPST 構造体の FET には FET のゲート電圧を変化させ前記第 1 の端子と第 2 の端子との間の信号の減衰量を可変に設定する減衰量設定器を接続してなる可変減衰器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、高周波信号を導通、遮断する SPST (Single-Pole Single-Through) スイッチ、SPDТ (Single-Pole Dual-Through) スイッチ等に用いて好適な可変減衰器に関し、特に、導通時の高周波信号の減衰量を可変に設定することができる可変減衰器に関する。

## 【0002】

【従来の技術】 一般に、高周波信号を導通、遮断する高周波スイッチとして、電界効果トランジスタ（以下、FET という）、誘導素子、容量素子等からなる共振型のものが知られている（例えば、特開 2000-114950 号公報等）。このような高周波スイッチでは、誘導素子のインダクタンスと容量素子の容量とを適宜設定することによって、FET のオン、オフ動作に合わせて高周波スイッチを並列共振状態と直列共振状態とで切換える。これにより、従来技術による高周波スイッチは、直列共振状態で高周波信号を導通し、並列共振状態で高周波信号を遮断している。

【0003】 また、このような高周波スイッチに高周波信号を減衰させるための可変減衰器を取付ける場合には、高周波スイッチを構成する FET とは別個に減衰器用の FET を接続していた。これにより、減衰器用の FET のゲートーソース間の印加電圧を制御し、ドレインーソース間を導通する高周波信号の減衰量を可変に制御していた。

## 【0004】

## 3

【発明が解決しようとする課題】ところで、上述した従来技術では、高周波スイッチと可変減衰器とを別々に構成していた。このため、GaAs等の高価な材料からなるMMIC (Monolithic Microwave Integrated Circuit) 上に高周波スイッチと可変減衰器とを構成した場合、装置全体が大型化し、製造コストが上昇するという問題がある。また、減衰器用のFETのみによって減衰量を設定するため、大きな減衰量を設定することができないという問題もある。

【0005】本発明は上述した従来技術の問題に鑑みなされたもので、本発明の目的は、大きな減衰量が設定可能で、製造コストを低下させ、装置全体の小型化が可能な可変減衰器を提供することにある。

【0006】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明による可変減衰器は、FETと、該FETのソースまたはドレインに直列接続された誘導素子と、該誘導素子とFETとの直列接続に対して並列接続された容量素子と、該容量素子の両端にそれぞれ接続された第1、第2の端子と、前記FETのゲート電圧を変化させ前記第1の端子と第2の端子との間の信号の減衰量を可変に設定する減衰量設定器とによって構成したことにある。

【0007】このように構成することによって、FETをオン状態としたときに、2つの端子間を遮断状態とし、FETをオフ状態としたときに、2つの端子間を導通状態とすることができる。また、減衰量設定器は、例えばFETをピンチオフ近傍の状態とし、2つの端子間を導通状態としたときの減衰量を可変に設定することができる。

【0008】また、FET、誘導素子、容量素子からなる共振型のSPSTスイッチによって減衰器を構成したから、FET単独で減衰器を構成する場合に比べて、減衰量の設定範囲を広げることができると共に、減衰量を大きくすることができる。

【0009】請求項2の発明は、FETのソースまたはドレインには一定電圧を付与する定電圧源を接続し、減衰量設定器をFETのゲートに接続されゲートの電圧を可変に設定する可変電圧発生器によって構成したことにある。

【0010】これにより、FETには定電圧源による一定電圧と可変電圧発生器による電圧との電位差をゲート電圧（ゲートソース間またはゲートドレイン間の電圧）として印加することができ、この電位差によって2つの端子間の減衰量を可変に設定することができる。

【0011】請求項3の発明は、FETのゲートを接地し、減衰量設定器をFETのソースまたはドレインに接続されソースまたはドレインの電圧を可変に設定する可変電圧発生器によって構成したことにある。

【0012】これにより、FETには接地電圧と可変電

## 4

圧発生器による電圧との電位差をゲート電圧として印加し、2つの端子間の減衰量を可変に設定することができる。このため、FETのソースまたはドレインに単一の可変電圧発生器を接続することによって減衰量を設定できる。

【0013】請求項4の発明による可変減衰器は、第1のFETと、該第1のFETのソースまたはドレインに直列接続された第1の誘導素子と、該第1の誘導素子と第1のFETとの直列接続に対して並列接続された第1の容量素子と、第2のFETと、該第2のFETのソースまたはドレインに直列接続された第2の誘導素子と、該第2の誘導素子と第2のFETとの直列接続に対して並列接続された第2の容量素子と、前記第1、第2の容量素子の一端に接続された第1の端子と、前記第1の容量素子の他端に接続された第2の端子と、前記第2の容量素子の他端に接続された第3の端子と、前記第2のFETのゲート電圧を変化させ前記第1の端子と第3の端子との間を導通または遮断する電圧切換器と、前記第1のFETのゲート電圧を変化させ前記第1の端子と第2の端子との間の信号の減衰量を可変に設定する減衰量設定器とによって構成したことにある。

【0014】このように構成することによって、電圧切換器を用いて第2のFETをオン状態としたときに第1、第3の端子間を遮断状態とし、第2のFETをオフ状態としたときに第1、第3の端子間を導通状態とすることができる。また、減衰量設定器を用いて第1のFETをオン状態としたときに第1、第2の端子間を遮断状態とし、第1のFETをオフ近傍の状態としたときに2つの端子間を導通状態とすることができる。そして、この導通状態では、減衰量設定器を用いて第1のFETをピンチオフ状態近傍で作動させることによって、2つの端子間を導通する信号を減衰させることができる。

【0015】請求項5の発明による可変減衰器は、一のFETと、該一のFETのソースまたはドレインに直列接続された誘導素子と、該誘導素子と一のFETとの直列接続に対して並列接続された容量素子と、該容量素子と前記FETとの接続部にソースまたはドレインが接続された他のFETと、前記容量素子と一のFETとの接続点に接続された第1の端子と、前記容量素子を挟んで該第1の端子の反対側に接続された第2の端子と、前記他のFETを挟んで前記第1の端子の反対側に接続された第3の端子と、前記2つのFETのゲート電圧を変化させ前記第1の端子と第2の端子との間の信号の減衰量を可変に設定する減衰量設定器とによって構成したことにある。

【0016】このように構成することによって、減衰量設定器を用いて2つのFETをオン状態としたときに第1、第2の端子間を遮断状態とすると共に、第1、第3の端子間を導通状態とすることができる。また、減衰量設定器を用いて2つのFETをオフ状態としたときに第



1, 第2の端子間を導通状態とすると共に、第1, 第3の端子間を遮断状態とすることができる。

【0017】さらに、FET、誘導素子、容量素子によって共振型のSPST部を構成できると共に、減衰量設定器を用いてこのSPST部のFETを例えばピンチオフ状態の近傍で動作させることによって、第1, 第2の端子間の減衰量を可変に設定することができる。また、SPST部と他のFETとを連動して動作させることができるから、減衰量設定器によりSPST部のインピーダンスを高くすることで、他のFETのインピーダンスは低くなり、SPST部のインピーダンスを低くすることで、他のFETのインピーダンスは高くなる。この結果、第1の端子に対するインピーダンスの変動を抑制することができる。

【0018】請求項6の発明は、他のFETのソースとドレインとの間には、他の誘導素子を並列接続する構成としたことにある。

【0019】これにより、他のFETがオフ状態となったときには、他のFETのオフ容量と他の誘導素子とを並列共振させることができ、第1, 第3の端子間のアイソレーションを大きくすることができる。

【0020】請求項7の発明は、2つのFETのゲートを接地し、減衰量設定器を、2つのFETを接続する第1の端子に接続され2つのFETのソースまたはドレインの電圧を可変に設定する可変電圧発生器によって構成したことにある。

【0021】これにより、2つのFETには接地電圧と可変電圧発生器による電圧との電位差をゲート電圧として印加し、第1, 第2の端子間の減衰量を可変に設定することができる。このため、2つのFETのソースまたはドレインに単一の可変電圧発生器を接続することによって減衰量を設定できる。

【0022】請求項8の発明は、第2の端子と第3の端子のうち一方の端子を高周波グランドに接続し、これら2つの端子のうち他方の端子と前記第1の端子との間にSPSTスイッチを構成したことにある。

【0023】これにより、例えば第3の端子を高周波グランドに接続した場合には、第1, 第2の端子間を導通状態としたときには、第1, 第3の端子を遮断状態とすることができる。また、第1, 第2の端子間を遮断状態としたときには、第1, 第3の端子を導通状態とし、第1の端子をアースに接続することができる。このため、第1, 第2の端子間の導通状態と遮断状態とのアイソレーションを大きくすることができるから、減衰量の変化可能な範囲を広げることができる。

【0024】請求項9の発明は、SPSTスイッチを複数個直列接続してSPDTスイッチを構成したことにある。

【0025】これにより、複数個のSPSTスイッチを用いてSPDTスイッチを構成するから、通過電力量を

増加させることができる。

【0026】請求項10の発明による可変減衰器は、FETと、該FETのソースまたはドレインに直列接続された誘導素子と、該誘導素子とFETとの直列接続に対して並列接続された容量素子と、該容量素子の両端にそれぞれ接続された第1, 第2の端子とによってSPST構造体を構成し、該SPST構造体を複数個並列接続し、該各SPST構造体のFETにはFETのゲート電圧を変化させ前記第1の端子と第2の端子との間の信号の減衰量を可変に設定する減衰量設定器を接続する構成としている。

【0027】これにより、端子間での通過電力の許容量を大きくでき、より大きな電力を減衰させることができる。

【0028】

【発明の実施の形態】以下、本発明の実施の形態による可変減衰器を添付図面に従って詳細に説明する。

【0029】まず、図1および図2は本発明の第1の実施の形態による可変減衰器をSPSTスイッチに適用した場合を示している。

【0030】図において、1はSPSTスイッチで、該SPSTスイッチ1は、後述のFET2、誘導素子3、容量素子4によって構成されている。

【0031】2はSPSTスイッチ1の開成、閉成を設定するFETで、該FET2のドレインには、後述の誘導素子3が直列接続され、ゲートには可変電圧発生器9が接続されている。また、FET2は、そのオン時に微小な抵抗値 $R_{on}$ をもった抵抗と等価となると共に、そのオフ時にはオフ容量 $C_{off}$ をもった容量素子と等価になる。なお、図1において、FET2の各端子に関しては、ドレインのみ符号Dを付し、ソースおよびゲートに関しては省略しており、図3以降においても同様に省略する。

【0032】3はFET2に直列接続された誘導素子で、該誘導素子3は、その一端がFET2のドレインに接続されると共に、他端が容量素子4に接続されている。そして、誘導素子3は、信号周波数 $F_0$ でFET2のオフ容量 $C_{off}$ と共振するインダクタンス $L$ を有している。

【0033】4はFET2と誘導素子3との直列接続に対して並列接続された容量素子で、該容量素子4は、その一端（接続点a）がFET2のソースに接続されると共に、他端（接続点b）が誘導素子3の他端に接続されている。そして、容量素子4は、FET2のオフ容量 $C_{off}$ とほぼ等しい容量 $C$ を有している。

【0034】5, 6は容量素子4の両端（接続点a, b）にそれぞれ接続された第1, 第2の端子で、該第1, 第2の端子5, 6は、例えばアンテナと送信回路とにそれぞれ接続され、高周波信号が入力、出力されるものである。

【0035】7はFET2のソースに接続された定電圧源で、該定電圧源7は、抵抗8を介してFET2のソースおよび第1の端子5（接続点a）に接続されている。そして、定電圧源7は、例えば3V程度の電圧 $V_s$ をFET2のソースに印加している。

【0036】9はFET2のゲートに接続された可変電圧発生器で、該可変電圧発生器9は、例えば3V程度の電圧 $V_{cc}$ を分圧するために互いに直列接続された固定抵抗9Aと可変抵抗9Bとによって構成されている。また、可変電圧発生器9は、その出力端子が抵抗10を介してFET2のゲートに接続されている。そして、可変電圧発生器9は、可変抵抗9Bの抵抗値を可変に設定することによって、FET2のピンチオフ電圧近傍の電圧 $V_\alpha$ と電圧 $V_{cc}$ とで切換え、この電圧 $V_\alpha$ 、 $V_{cc}$ をFET2のゲートに印加している。

【0037】本実施の形態によるSPSTスイッチ1は上述のように構成されるものであり、次にその作動について図1および図2を参照しつつ説明する。

【0038】まず、SPSTスイッチ1を開成するときには、可変電圧発生器9は、FET2のゲートに対してソースの電圧 $V_s$ とほぼ等しい電圧 $V_{cc}$ を印加する。これにより、FET2は、オン状態となって微小な抵抗値 $R_{on}$ をもった抵抗と等価になるから、ほとんど無視できる。このため、第1、第2の端子5、6間には、誘導素子3と容量素子4とが並列に接続された状態になる。このとき、誘導素子3と容量素子4とは信号周波数 $F_0$ で並列共振するから、第1、第2の端子5、6間のインピーダンスはほぼ無限大となり、SPSTスイッチ1は開成する。

【0039】一方、SPSTスイッチ1を閉成するときには、可変電圧発生器9は、FET2のゲートに対して例えばピンチオフ電圧近傍の電圧 $V_\alpha$ を印加する。このとき、電圧 $V_\alpha$ は、FET2がピンチオフ状態からオフ状態になる間の電圧値に設定されている。これにより、FET2は、ほぼオフ状態となってオフ容量 $C_{off}$ をもった容量素子にほぼ等価になる。このとき、誘導素子3とFET2のオフ容量 $C_{off}$ は信号周波数 $F_0$ で直列共振するから、第1、第2の端子5、6間のインピーダンスは零近傍まで低下し、SPSTスイッチ1は閉成する。

【0040】また、SPSTスイッチ1を閉成したときには、可変電圧発生器9は、FET2のゲートに対してピンチオフ電圧近傍の電圧 $V_\alpha$ を印加する。このため、FET2はほぼオフ状態となるものの、その容量はオフ容量 $C_{off}$ に対して僅かにずれた値となる。この結果、第1、第2の端子5、6間のインピーダンスはFET2にオフ電圧を印加したときよりも上昇し、第1、第2の端子5、6間を通過する高周波信号は減衰する。従って、可変電圧発生器9は、SPSTスイッチ1を閉成するときにFET2のゲートに印加する電圧を適宜設定することによって、図2中の減衰量Aを可変に設定するこ

とができる。

【0041】特に、本実施の形態によるSPSTスイッチ1では、FET2のオン状態、オフ状態に連動して並列共振状態、直列共振状態を切換えて開成、閉成する共振型のものを用いている。このため、SPSTスイッチ1を開成、閉成したときのアイソレーション（図2中の特性線S1、S2の差）は、FET単独のアイソレーションに比べて大きくなっている。そして、可変電圧発生器9を用いてFET2のゲート電圧（ゲートソース間の電圧）を可変に設定することによって、このアイソレーションの範囲内で第1、第2の端子5、6間の減衰量Aを矢示B方向に向けて変化させることができ、減衰量Aを可変に設定することができる。従って、本実施の形態では、FET単独で減衰器を構成したときに比べて、減衰量Aの設定範囲を広げることができると共に、減衰量Aを大きくすることができる。

【0042】かくして、本実施の形態では、FET2には可変電圧発生器9を接続したから、FET2をオン状態としたときに、2つの端子5、6間を遮断状態とし、FET2をピンチオフ近傍の状態としたときに、2つの端子5、6間を導通状態とすることができる。また、可変電圧発生器9によってFET2をピンチオフ近傍の状態としたから、SPSTスイッチ1を導通状態としたときの減衰量Aを可変に設定することができる。

【0043】このため、SPSTスイッチ1内に減衰器を一体的に設けることができるから、従来技術のように減衰器用のFET等を別途設ける必要がなく、装置全体を小型化し、製造コストを低減することができる。

【0044】また、共振型のSPSTスイッチ1によって減衰器を構成したから、FET単独で減衰器を構成する場合に比べて、減衰量Aの設定範囲を広げることができると共に、減衰量Aを大きくすることができる。

【0045】次に、図3は第2の実施の形態による可変減衰器を示し、本実施の形態の特徴は、FETのソースに可変電圧発生器を接続すると共に、ゲートをアースに接続したことにある。なお、本実施の形態では前記第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

【0046】11はFET2のソースに接続された可変電圧発生器で、該可変電圧発生器11は、その出力端子が抵抗12を介してFET2のソースに接続されている。そして、可変電圧発生器11は、FET2のピンチオフ電圧近傍の電圧 $V_\alpha$ と接地電圧（0V）とで切換え、この電圧 $V_\alpha$ 、接地電圧をFET2のソースに印加している。

【0047】また、本実施の形態では、FET2のゲートはアース13に接続されている。これにより、FET2のゲートは接地電圧に固定されている。

【0048】かくして、本実施の形態による可変減衰器でも第1の実施の形態と同様の作用効果を得ることがで



きる。しかし、本実施の形態では、FET2のゲートをアース13に接続し、FET2のソースに可変電圧発生器11を接続したから、可変電圧発生器11によってFET2のソースに電圧 $V_{\alpha}$ 、接地電圧を印加し、FET2のゲート-ソース間の電位差（ゲート電圧）を変化させ、FET2のオン状態、オフ状態を切換えることができる。このため、第1の実施の形態に比べて、FET2にはソースのみに電圧を印加すればよく、構成を簡略化し、製造コストを低減することができる。

【0049】次に、図4は第3の実施の形態による可変減衰器を示し、本実施の形態の特徴は、可変減衰器をSPDTスイッチに適用したことにある。なお、本実施の形態では前記第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

【0050】21はSPDTスイッチで、該SPDTスイッチ21は、第1の実施の形態によるSPSTスイッチ1と同様の構成を有する第1、第2のSPST部22、23を相互に直列接続することによって構成されている。

【0051】24は第1のSPST部22を構成する第1のFETで、該FET24のドレインには後述の誘導素子25が直列接続され、ゲートには可変電圧発生器33が接続されると共に、ソースには第2のFET27のソースが接続されている。また、FET24は、そのオン時に微小な抵抗値 $R_{on1}$ をもった抵抗と等価となると共に、そのオフ時にはオフ容量 $C_{off1}$ をもった容量素子と等価になる。

【0052】25は第1のFET24に直列接続された第1の誘導素子で、該誘導素子25は、その一端がFET24のドレインに接続されると共に、他端が容量素子26に接続されている。そして、誘導素子25は、信号周波数でFET24のオフ容量 $C_{off1}$ と共振するインダクタンス $L1$ を有している。

【0053】26はFET24と誘導素子25との直列接続に対して並列接続された第1の容量素子で、該容量素子26は、その一端（接続点a）がFET24のソースに接続されると共に、他端（接続点b）が誘導素子25の他端に接続されている。そして、容量素子26は、FET24のオフ容量 $C_{off1}$ と等しい容量 $C1$ を有している。

【0054】27は第2のSPST部23を構成する第2のFETで、該FET27のドレインには後述の誘導素子28が直列接続され、ゲートにはFET27のオン状態、オフ状態を切換える固定電圧発生器34が接続されると共に、ソースにはFET24のソースが接続されている。また、FET27は、そのオン時に微小な抵抗値 $R_{on2}$ をもった抵抗と等価となると共に、そのオフ時にはオフ容量 $C_{off2}$ をもった容量素子と等価になる。

【0055】28は第2のFET27に直列接続された第2の誘導素子で、該誘導素子28は、その一端がFET

T27のドレインに接続されると共に、他端が容量素子29に接続されている。そして、誘導素子28は、信号周波数でFET27のオフ容量 $C_{off2}$ と共振するインダクタンス $L2$ を有している。

【0056】29はFET27と誘導素子28との直列接続に対して並列接続された第2の容量素子で、該容量素子29は、その一端（接続点a）がFET24、27のソースおよび第1の容量素子26の一端に接続されると共に、他端（接続点b）が誘導素子28の他端に接続されている。そして、容量素子29は、FET27のオフ容量 $C_{off2}$ と等しい容量 $C2$ を有している。

【0057】30は第1、第2の容量素子26、29の一端（接続点a、a）に接続された第1の端子、31は第1の容量素子26の他端（接続点b）に接続された第2の端子、32は第2の容量素子29の他端（接続点b）に接続された第3の端子をそれぞれ示し、これらの端子30～32には、直流カット用の容量素子30A～32Aがそれぞれ接続されている。

【0058】33は第1のFET24のゲートに接続された可変電圧発生器で、該可変電圧発生器33は、FET24のピンチオフ電圧近傍の電圧 $V_{\alpha}$ と接地電圧（0V）とで切換え、この電圧 $V_{\alpha}$ 、接地電圧をFET24のゲートに印加している。

【0059】34は第2のFET27のゲートに接続された電圧切換器としての固定電圧発生器で、該固定電圧発生器34は、FET27のオフ電圧として例えば接地電圧（0V）とオン電圧として例えば3V程度の電圧 $V_{cc}$ とで切換え、この接地電圧、電圧 $V_{cc}$ をFET27のゲートに印加している。

【0060】本実施の形態によるSPDTスイッチ21は上述のように構成されるものであり、次にその作動について表1を参照しつつ説明する。

【0061】まず、SPST部22を閉成し、SPST部23を開成するときには、可変電圧発生器33は第1のFET24のゲートに対してピンチオフ電圧近傍の電圧 $V_{\alpha}$ を印加し、固定電圧発生器34は第2のFET27に対して接地電圧を印加する。このとき、第1のFET24はほぼオフ状態となって誘導素子25とFET24のオフ容量 $C_{off1}$ は信号周波数で直列共振すると共に、第2のFET27はオン状態となって誘導素子28と容量素子29とは信号周波数で並列共振する。これにより、第1、第2の端子30、31間のインピーダンスは零近傍まで低下し、SPST部22は閉成すると共に、第1、第3の端子30、32間のインピーダンスはほぼ無限大となり、SPST部23は開成する。

【0062】このとき、FET24のゲートに対してピンチオフ電圧近傍の電圧 $V_{\alpha}$ を印加しているから、FET24はほぼオフ状態となるものの、その容量はオフ容量 $C_{off1}$ に対して僅かにずれた値となる。この結果、第1、第2の端子30、31間のインピーダンスはFET

24にオフ電圧を印加したときよりも上昇し、第1、第2の端子30、31間を通過する高周波信号を減衰させることができる。

【0063】一方、SPST部22を開成し、SPST部23を閉成するときには、可変電圧発生器33は第1のFET24のゲートに対して接地電圧を印加し、固定電圧発生器34は第2のFET27に対して3V程度の電圧 $V_{cc}$ を印加する。これにより、FET24はオン状態となって誘導素子25と容量素子26とは信号周波数

	FET24の ゲート電圧	FET27の ゲート電圧
端子1-2間: SW (ON) 端子1-3間: SW (OFF)	$V_{\alpha}$ [V]	0 [V]
端子1-2間: SW (OFF) 端子1-3間: SW (ON)	0 [V]	$V_{cc}$ [V]

【0065】かくして、本実施の形態による可変減衰器でも第1の実施の形態と同様の作用効果を得ることができる。特に、本実施の形態では、従来技術とほぼ同様なSPDTスイッチ21に対して可変電圧発生器33を接続することによって容易に可変減衰器付きのSPDTスイッチ21を構成することができる。

【0066】次に、図5は第4の実施の形態による可変減衰器をSPDTスイッチに適用した場合を示し、本実施の形態の特徴は、SPST部にFETを直列接続することによってSPDTスイッチを構成したことにある。

【0067】41はSPDTスイッチで、該SPDTスイッチ41は、SPST部42と後述のFET46とを直列接続することによって構成されている。

【0068】また、SPST部42は、第1の実施の形態によるSPSTスイッチ1のFET2、誘導素子3、容量素子4とほぼ同様なFET43、誘導素子44、容量素子45によって構成されている。そして、FET43のドレインには誘導素子44の一端が直列接続されると共に、FET43と誘導素子44との直列接続に対しては容量素子45が並列接続されている。

【0069】46はSPST部42に直列接続された他のFETで、該FET46は、そのソースがFET43のソースに接続されている。

【0070】47は容量素子45とFET43との接続点aに接続された第1の端子、48は容量素子45を挟んで該第1の端子47の反対側（接続点b）に接続された第2の端子、49は他のFET46を挟んで第1の端子47の反対側に接続された第3の端子をそれぞれ示し、これらの端子47～49には、直流カット用の容量素子47A～49Aがそれぞれ接続されている。

【0071】50はFET43、46のソースに接続された定電圧源で、該定電圧源50は、抵抗51を介してFET43、46のソースおよび第1の端子47（接続

で並列共振すると共に、第2のFET27はオフ状態となって誘導素子28とFET27のオフ容量 $C_{off2}$ は信号周波数で直列共振する。これにより、第1、第2の端子30、31間のインピーダンスはほぼ無限大となり、SPST部22は開成すると共に、第1、第3の端子30、32間のインピーダンスはほぼ零となり、SPST部23は閉成する。

【0064】

【表1】

点a）に接続されている。そして、定電圧源50は、例えば3V程度の電圧 $V_s$ をFET43、46のソースに印加している。

【0072】52はFET43、46のゲートに接続された可変電圧発生器で、該可変電圧発生器52は、第1の実施の形態による可変電圧発生器9と同様に、例えば固定抵抗52A、可変抵抗52B等によって構成されている。そして、可変電圧発生器52は、FET43、46のピンチオフ電圧近傍の電圧 $V_{\alpha}$ と電圧 $V_{cc}$ とで切換え、この電圧 $V_{\alpha}$ 、 $V_{cc}$ をFET43、46のゲートに印加している。

【0073】本実施の形態によるSPDTスイッチ41は上述のように構成されるものであり、次にその作動について表2を参照しつつ説明する。

【0074】まず、SPST部42を開成し、FET46を開成するときには、可変電圧発生器52はFET43、46のゲートに対してピンチオフ電圧近傍の電圧 $V_{\alpha}$ を印加する。このとき、FET43はほぼオフ状態となって誘導素子44とFET43のオフ容量の信号周波数で直列共振すると共に、他のFET46もオフ状態となる。これにより、第1、第2の端子47、48間のインピーダンスは零近傍まで低下し、SPST部42は閉成すると共に、第1、第3の端子47、49間のFET46は開成する。

【0075】このとき、FET43のゲートに対してピンチオフ電圧近傍の電圧 $V_{\alpha}$ を印加しているから、第1、第2の端子47、48間のインピーダンスはFET43にオフ電圧を印加したときよりも上昇し、第1、第2の端子47、48間を通過する高周波信号を減衰させることができる。

【0076】一方、SPST部42を開成し、FET46を閉成するときには、可変電圧発生器52はFET43、46のゲートに対して3V程度の電圧 $V_{cc}$ を印加す

る。これにより、FET 43 はオン状態となって誘導素子 44 と容量素子 45 とは信号周波数で並列共振すると共に、他の FET 46 もオン状態となる。これにより、第 1, 第 2 の端子 47, 48 間のインピーダンスはほぼ無限大となり、SPST 部 42 は開成すると共に、第 1, 第 3 の端子 47, 49 間の FET 46 は閉成する。

【0077】

【表 2】

	FET 43, 46 のゲート電圧
端子 1-2 間: SW (ON) 端子 1-3 間: SW (OFF)	$V_{\alpha}$ [V]
端子 1-2 間: SW (OFF) 端子 1-3 間: SW (ON)	$V_{cc}$ [V]

【0078】かくして、本実施の形態による可変減衰器でも第 1 の実施の形態と同様の作用効果を得ることができる。しかし、本実施の形態では、SPST 部 42 と FET 46 とを直列接続すると共に、可変電圧発生器 52 を SPST 部 42 の FET 43 のゲートと FET 46 のゲートに接続したから、前述した第 3 の実施の形態に比べて単一の電圧を制御することによって、SPDT スイッチを切替えることができ、構成を簡略化し、製造コストを低減することができる。

【0079】また、可変電圧発生器 52 を SPST 部 42 の FET 43 のゲートと FET 46 のゲートに接続したから、SPST 部 42 と FET 46 とを同時に作動させることができる。即ち、可変電圧発生器 52 から出力する電圧を電圧  $V_{\alpha}$  から電圧  $V_{cc}$  に切替えることによって、SPST 部 42 を閉成から開成に切替えるのと一緒に FET 46 を開成から閉成に切替えることができる。

【0080】このため、可変電圧発生器 52 を用いて SPST 部 42 のインピーダンスを高くすることで、FET 46 のインピーダンスは低くなり、SPST 部 42 のインピーダンスを低くすることで、FET 46 のインピーダンスは高くなる。この結果、第 3 の実施の形態のように、2 つの SPST 部が個別に切替わるのに比べて、第 1 の端子 47 に対するインピーダンスの変動を抑制することができる。

【0081】次に、図 6 は第 5 の実施の形態による可変減衰器付き SPDT スイッチを示し、本実施の形態の特徴は、SPST 部に FET を直列接続すると共に、該 FET に誘導素子を並列接続したことにある。なお、本実施の形態では前記第 4 の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

【0082】61 は FET 46 に並列接続された誘導素子で、該誘導素子 61 は、その両端（接続点 c, d）が FET 46 のソースとドレインとの間に接続されている。そして、誘導素子 61 は、信号周波数で FET 46

のオフ容量  $C_{off3}$  と共振するインダクタンス  $L3$  を有している。

【0083】かくして、本実施の形態による可変減衰器でも第 4 の実施の形態と同様の作用効果を得ることができる。しかし、本実施の形態では、FET 46 に誘導素子 61 を並列接続したから、FET 46 が開成したときには、FET 46 のオフ容量  $C_{off3}$  と誘導素子 61 とを並列共振させることができる。このため、第 4 の実施の形態のように FET 46 単独の場合に比べて、第 1, 第 3 の端子 47, 49 間のアイソレーションを大きくすることができる。

【0084】次に、図 7 は第 6 の実施の形態による可変減衰器付き SPDT スイッチを示し、本実施の形態の特徴は、SPST 部に FET を直列接続すると共に、該 SPST 部と FET との接続点に可変電圧発生器を接続したことにある。なお、本実施の形態では前記第 4 の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

【0085】71 は FET 43, 46 のソースに接続された可変電圧発生器で、該可変電圧発生器 71 は、その出力端子が抵抗 72 を介して FET 43, 46 のソース（接続点 a）に接続されている。そして、可変電圧発生器 71 は、FET 43 のピンチオフ電圧近傍の電圧  $V_{\alpha}$  と接地電圧（0 V）とで切替え、この電圧  $V_{\alpha}$ 、接地電圧を FET 43, 46 のソースに印加している。

【0086】また、本実施の形態では、FET 43, 46 のゲートはアース 73 にそれぞれ接続されている。これにより、FET 43, 46 のゲートは接地電圧に固定されている。

【0087】本実施の形態による SPDT スイッチ 41 は上述のように構成されるものであり、次にその作動について表 3 を参照しつつ説明する。

【0088】まず、SPST 部 42 を閉成し、FET 46 を開成するときには、可変電圧発生器 71 は FET 43, 46 のソースに対してピンチオフ電圧近傍の電圧  $V_{\alpha}$  を印加する。このとき、FET 43 はほぼオフ状態となって SPST 部 42 は閉成すると共に、他の FET 46 もほぼオフ状態となって開成する。このとき、SPST 部 42 が減衰器として作動するのは、第 4 の実施の形態と同様である。

【0089】一方、SPST 部 42 を開成し、FET 46 を閉成するときには、可変電圧発生器 71 は FET 43, 46 のソースに対して接地電圧（0 V）を印加する。これにより、FET 43 はオン状態となって SPST 部 42 は開成すると共に、他の FET 46 もオン状態となって閉成する。

【0090】

【表 3】



	F E T 4 3 , 4 6 のソース電圧
端子 1 - 2 間 : S W ( O N ) 端子 1 - 3 間 : S W ( O F F )	$V_{\alpha}$ [V]
端子 1 - 2 間 : S W ( O F F ) 端子 1 - 3 間 : S W ( O N )	0 [V]

【0091】かくして、本実施の形態による可変減衰器でも第1の実施の形態と同様の作用効果を得ることができる。しかし、本実施の形態では、F E T 4 3 , 4 6 のゲートをアース 7 3 に接続し、F E T 4 3 , 4 6 のソースに可変電圧発生器 7 1 を接続したから、第4の実施の形態のように電圧を制御するための端子を2つのF E T にそれぞれ接続する必要がなく、F E T 4 3 , 4 6 間の単一の端子に接続すればよい。このため、第4の実施の形態に比べて、構成を簡略化し、製造コストを低減することができる。

【0092】次に、図8は第7の実施の形態による可変減衰器付きS P S Tスイッチを示し、本実施の形態の特徴は、S P D Tスイッチの第2、第3の端子のうち一方の端子を高周波の信号をアースに短絡する高周波グラウンドに接続したことにある。なお、本実施の形態では前記第4の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

【0093】81は本実施の形態によるS P S Tスイッチで、該S P S Tスイッチ81は、第4の実施の形態によるS P D Tスイッチ41の第2の端子48をアース82に接続することによって構成されている。そして、アース82は、S P S T部42との間に信号周波数で導通する容量素子48Aを設けることによって、高周波グラウンドを形成している。

【0094】かくして、本実施の形態による可変減衰器でも第4の実施の形態と同様の作用効果を得ることができる。しかし、本実施の形態では、S P D Tスイッチ41の第2の端子48をアース82に接続したから、第1、第3の端子47、49間を開成するときにはS P S T部42を開成し、第1、第3の端子47、49間を開成するときにはS P S T部42を開成することができる。このため、減衰量の変化可能な範囲を大きくすることができる。

【0095】なお、前記第7の実施の形態では、第2の端子48をアース82に接続するものとしたが、図9に示す第1の変形例のように、第2の端子48に代えて第3の端子49をアース82に接続してもよい。

【0096】この場合、図10に示す第2の変形例のようにF E T 4 3 , 4 6 のゲートを接地し、F E T 4 3 , 4 6 のソースには第6の実施の形態による可変電圧発生器71と同様の可変電圧発生器83を接続する構成としてもよい。

【0097】また、図8ないし図10中に二点鎖線で示すように、F E T 4 6 のソースとドレインとの間には、第5の実施の形態による誘導素子61と同様の誘導素子84を並列接続する構成としてもよい。これにより、減衰量の変化可能な範囲をさらに大きくすることができる。

【0098】さらに、図11に示す第3の変形例のように第7の実施の形態に示すS P S Tスイッチ81を2個直列に接続することによって、S P D Tスイッチ91を構成してもよい。この場合、例えば一方のS P S Tスイッチ81の第2の端子48と他方のS P S Tスイッチ81の第3の端子49とを接続すると共に、これらの端子48、49に接続された容量素子48A、49Aを共有化するものである。これにより、減衰量の変化可能な範囲をさらに大きくすることができる。

【0099】この場合、図12に示す第4の変形例のようにF E T 4 3 , 4 6 のソースに可変電圧発生器92を接続する構成とし、F E T 4 3 , 4 6 のゲートをアース93に接続する構成としてもよい。また、図11、図12に示す第3、第4の変形例において、第5の実施の形態と同様にF E T 4 6 には誘導素子(図示せず)を並列接続する構成としてもよく、3個以上のS P S Tスイッチ81を直列接続してS P D Tスイッチを構成してもよい。

【0100】次に、図13は第8の実施の形態による可変減衰器付きS P S Tスイッチを示し、本実施の形態の特徴は、減衰器構造体を複数個並列に接続したことにある。なお、本実施の形態では前記第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

【0101】101は本実施の形態によるS P S Tスイッチで、該S P S Tスイッチ101は、第1の実施の形態によるS P S Tスイッチ1と同様にF E T 2、誘導素子3、容量素子4からなるS P S T構造体102を複数個(例えば2個)並列に接続することによって構成されている。

【0102】かくして、本実施の形態でも第1の実施の形態と同様の作用効果を得ることができる。しかし、本実施の形態では、複数個のS P S T構造体102を並列接続することによってS P S Tスイッチ101を構成したから、第1の実施の形態に比べて通過電力の許容量を大きくでき、より大きな電力を減衰させることができる。

【0103】なお、第2、第7の実施の形態でも同様にS P S T構造体を複数個並列接続することが可能である。

【0104】また、前記各実施の形態では、F E T のドレインと誘導素子とを接続するものとしたが、F E T のドレインとソースとを入れ替えて、F E T のソースと誘導素子とを接続する構成としてもよい。

【0105】さらに、一般に、FETにおいては、ドレインとソースはゲートに対してほぼ対称な構造となっているから、ドレインをソースとして、ソースをドレインとして用いることもできる。このため、前記各実施の形態でも、各FETのドレインとソースの接続関係は固定されるものではなく、ドレインとソースとを入れ替える構成としてもよい。この場合、ゲート電圧は、ゲートドレイン間の電位差を示すものである。

#### 【0106】

【発明の効果】以上詳述した通り、請求項1の発明によれば、FETと、該FETに直列接続された誘導素子と、該誘導素子とFETとの直列接続に対して並列接続され容量素子と、該容量素子の両端にそれぞれ接続された第1、第2の端子と、前記FETのゲート電圧を変化させ前記第1、第2端子間の信号の減衰量を可変に設定する減衰量設定器とによって構成したから、減衰量設定器によってFETをピンチオフ近傍の状態で作動させ、2つの端子間を導通状態としたときの減衰量を可変に設定することができる。このため、FET、誘導素子、容量素子からなるSPSTスイッチ内に減衰器を一体的に設けることができるから、従来技術のように減衰器用のFET等を別途設ける必要がなく、装置全体を小型化し、製造コストを低減することができる。

【0107】また、共振型のSPSTスイッチによって減衰器を構成したから、FET単独で減衰器を構成する場合に比べて、減衰量の設定範囲を広げることができると共に、減衰量を大きくすることができる。

【0108】請求項2の発明によれば、FETのソースまたはドレインには一定電圧を付与する定電圧源を接続し、減衰量設定器をFETのゲートに接続されゲートの電圧を可変に設定する可変電圧発生器によって構成したから、FETには定電圧源による一定電圧と可変電圧発生器による電圧との電位差をゲート電圧として印加することができ、この電位差によって2つの端子間の減衰量を可変に設定することができる。

【0109】請求項3の発明によれば、FETのゲートを接地し、減衰量設定器をFETのソースまたはドレインに接続されソースまたはドレインの電圧を可変に設定する可変電圧発生器によって構成したから、FETには可変電圧発生器による電圧を印加してFETのゲート電圧を変化させ、2つの端子間の減衰量を可変に設定することができる。このため、FETのソースまたはドレインに単一の可変電圧発生器を接続することによって減衰量を設定できる。

【0110】請求項4の発明によれば、第1のFET、誘導素子、容量素子と、第2のFET、誘導素子、容量素子とによってSPDTスイッチを構成し、第2のFETのゲート電圧を変化させ第1、第3端子間で信号を導通、遮断する電圧切換器と、第1のFETのゲート電圧を変化させ前記第1、第2端子間の信号の減衰量を可変

に設定する減衰量設定器とを設けたから、電圧切換器を用いて第2のFETをオン状態としたときに第1、第3の端子間を遮断状態とし、第2のFETをオフ状態としたときに第1、第3の端子間を導通状態とすることができる。また、減衰量設定器を用いて第1のFETをオン状態としたときに第1、第2の端子間を遮断状態とし、第1のFETをピンチオフ近傍の状態としたときに2つの端子間を導通状態とすることができる。

【0111】請求項5の発明によれば、FET、誘導素子、容量素子に加えて他のFETを接続することによってSPDTスイッチを構成し、2つのFETのゲート電圧を変化させ前記第1、第2端子間の信号の減衰量を可変に設定する減衰量設定器を設ける構成としたから、減衰量設定器を用いて2つのFETをオン状態としたときに第1、第2の端子間を遮断状態とすると共に、第1、第3の端子間を導通状態とすることができる。また、減衰量設定器を用いて2つのFETをオフ状態としたときに第1、第2の端子間を導通状態とすると共に、第1、第3の端子間を遮断状態とすることができる。

【0112】さらに、FET、誘導素子、容量素子によって共振型のSPST部を構成できると共に、減衰量設定器を用いてこのSPST部のFETを例えばピンチオフ状態の近傍で動作させることによって、第1、第2の端子間の減衰量を可変に設定することができる。また、SPST部と他のFETとを連動して動作させることができるから、第1の端子に対するインピーダンスの変動を抑制することができる。

【0113】請求項6の発明によれば、他のFETのソースとドレインとの間には、信号周波数で他のFETのオフ容量と共振するインダクタンスを有する他の誘導素子を並列接続する構成としたから、他のFETがオフ状態となったときには、他のFETのオフ容量と他の誘導素子とを並列共振させることができ、第1、第3の端子間のアイソレーションを大きくすることができる。

【0114】請求項7の発明によれば、2つのFETのゲートを接地し、減衰量設定器を2つのFETの接続部に接続され2つのFETのソースまたはドレインの電圧を可変に設定する可変電圧発生器によって構成したから、2つのFETには可変電圧発生器による電圧を印加し、第1、第2の端子間の減衰量を可変に設定することができる。このため、2つのFETのソースまたはドレインに単一の可変電圧発生器を接続することによって減衰量を設定できる。

【0115】請求項8の発明によれば、第2、第3の端子のうち一方の端子を高周波グランドに接続し、他方の端子と第1の端子との間にSPSTスイッチを構成したから、例えば第3の端子を高周波グランドに接続した場合には、第1、第2の端子間を導通状態としたときには、第1、第3の端子を遮断状態とすることができる。また、第1、第2の端子間を遮断状態としたときには、

第1, 第3の端子を導通状態とし、第1の端子をアースに接続することができる。このため、第1, 第2の端子間の導通状態と遮断状態とのアイソレーションを大きくすることができるから、減衰量の変化可能な範囲を広げることができる。

【0116】請求項9の発明によれば、SPSTスイッチを複数個直列接続してSPDTスイッチを構成したから、通過電力量を大きくし、減衰量の変化可能な範囲を広げることができる。

【0117】請求項10の発明によれば、FET、誘導素子、容量素子等によって減衰器構造体を構成し、該減衰器構造体を複数個並列接続したから、端子間での通過電力の許容量を大きくでき、より大きな電力を減衰させることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態による可変減衰器を適用したSPSTスイッチを示す電気回路図である。

【図2】図1中のSPSTスイッチによる周波数と伝送特性との関係を示す特性線図である。

【図3】第2の実施の形態による可変減衰器を適用したSPSTスイッチを示す電気回路図である。

【図4】第3の実施の形態による可変減衰器を適用したSPDTスイッチを示す電気回路図である。

【図5】第4の実施の形態による可変減衰器を適用したSPDTスイッチを示す電気回路図である。

【図6】第5の実施の形態による可変減衰器を適用したSPDTスイッチを示す電気回路図である。

【図7】第6の実施の形態による可変減衰器を適用したSPDTスイッチを示す電気回路図である。

【図8】第7の実施の形態による可変減衰器を適用したSPSTスイッチを示す電気回路図である。

【図9】第7の実施の形態の第1の変形例による可変減衰器を適用したSPDTスイッチを示す電気回路図である。

【図10】第7の実施の形態の第2の変形例による可変減衰器を適用したSPDTスイッチを示す電気回路図である。

【図11】第7の実施の形態の第3の変形例による可変減衰器を適用したSPDTスイッチを示す電気回路図である。

【図12】第7の実施の形態の第4の変形例による可変減衰器を適用したSPDTスイッチを示す電気回路図である。

【図13】第8の実施の形態による可変減衰器を適用したSPSTスイッチを示す電気回路図である。

#### 【符号の説明】

1, 101 SPSTスイッチ

2, 43 FET

3, 44 誘導素子

4, 45 容量素子

5, 30, 47 第1の端子

6, 31, 48 第2の端子

7, 50 定電圧源

9, 11, 33, 52, 71, 83, 92 可変電圧発生器

21, 41 SPDTスイッチ

24 第1のFET

25 第1の誘導素子

26 第1の容量素子

27 第2のFET

28 第2の誘導素子

29 第2の容量素子

32, 49 第3の端子

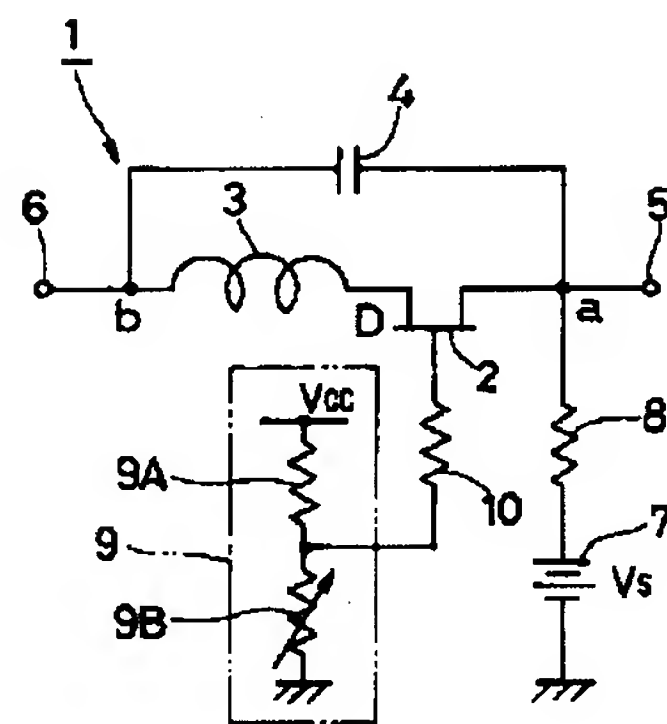
34 固定電圧発生器（電圧切換器）

46 他のFET

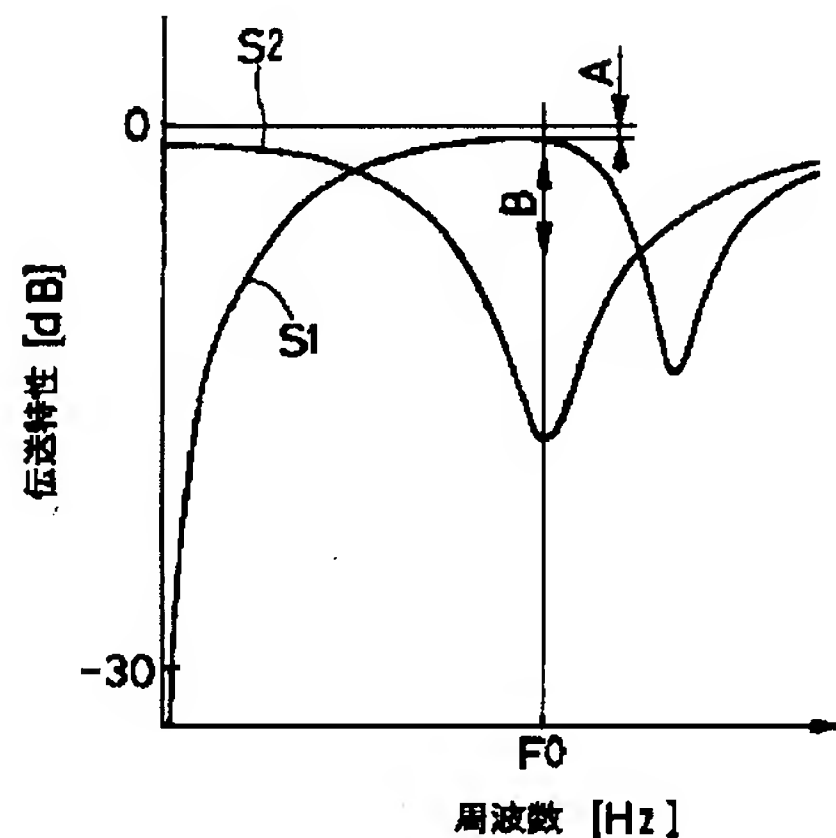
61, 84 他の誘導素子

102 SPST構造体

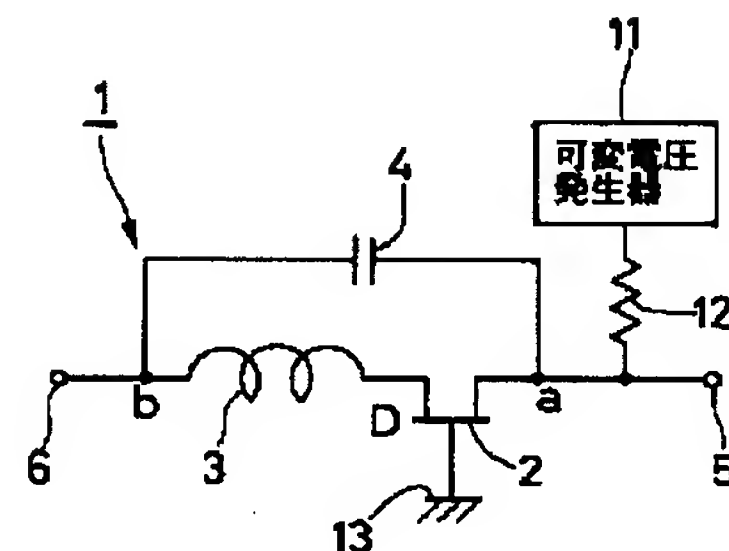
【図1】



【図2】

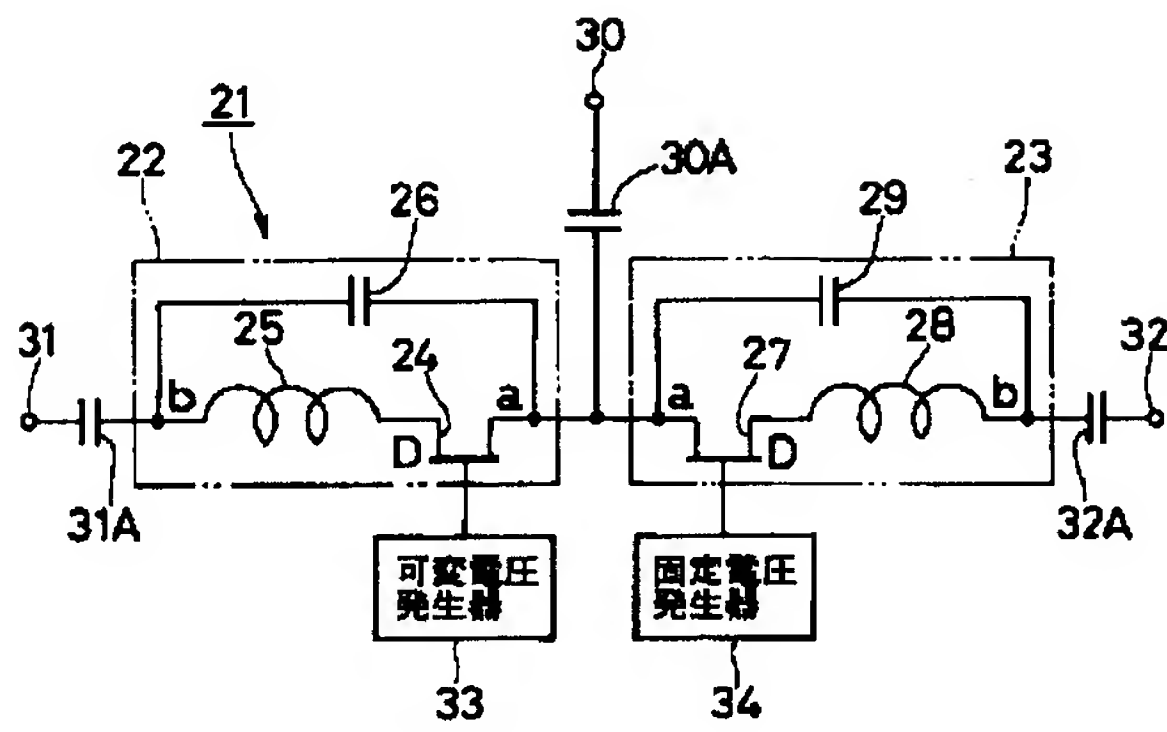


【図3】

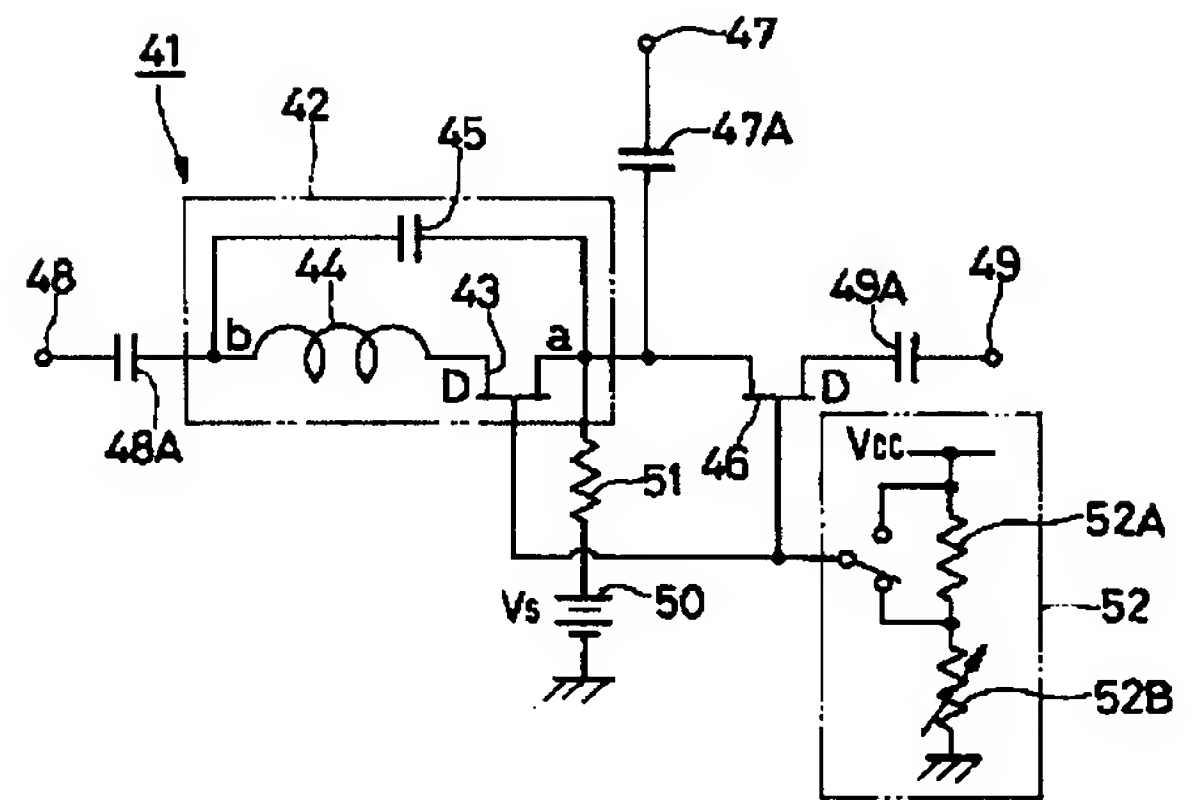




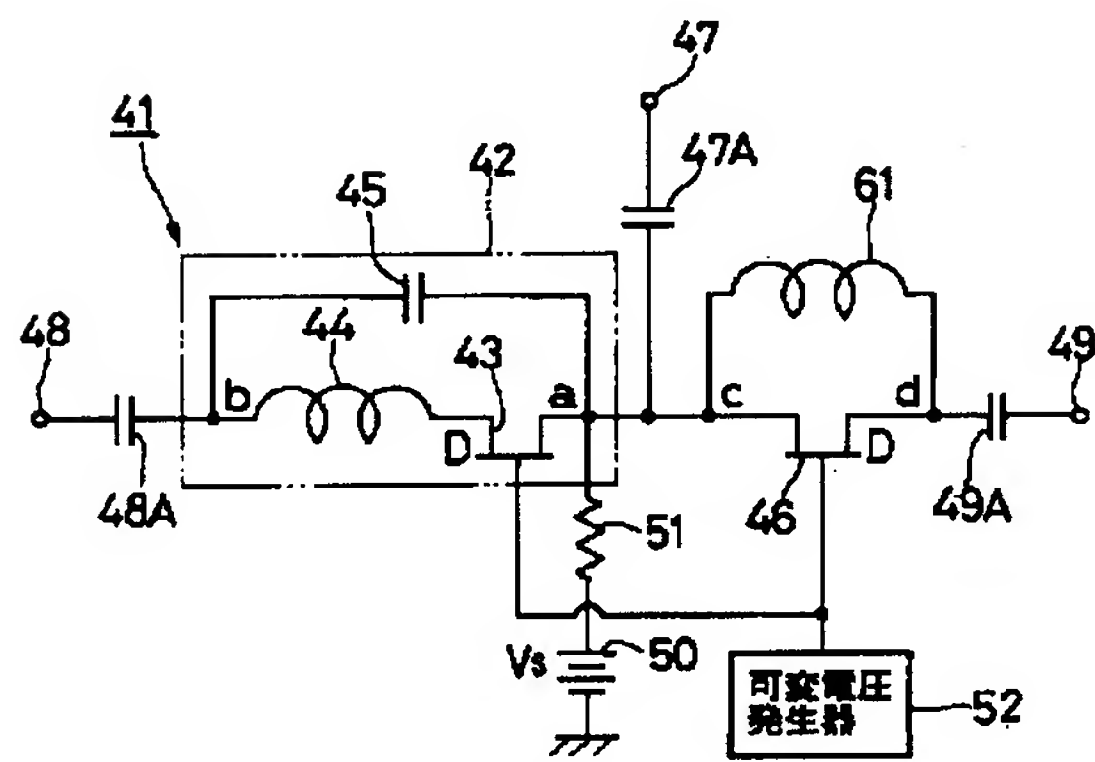
【図 4】



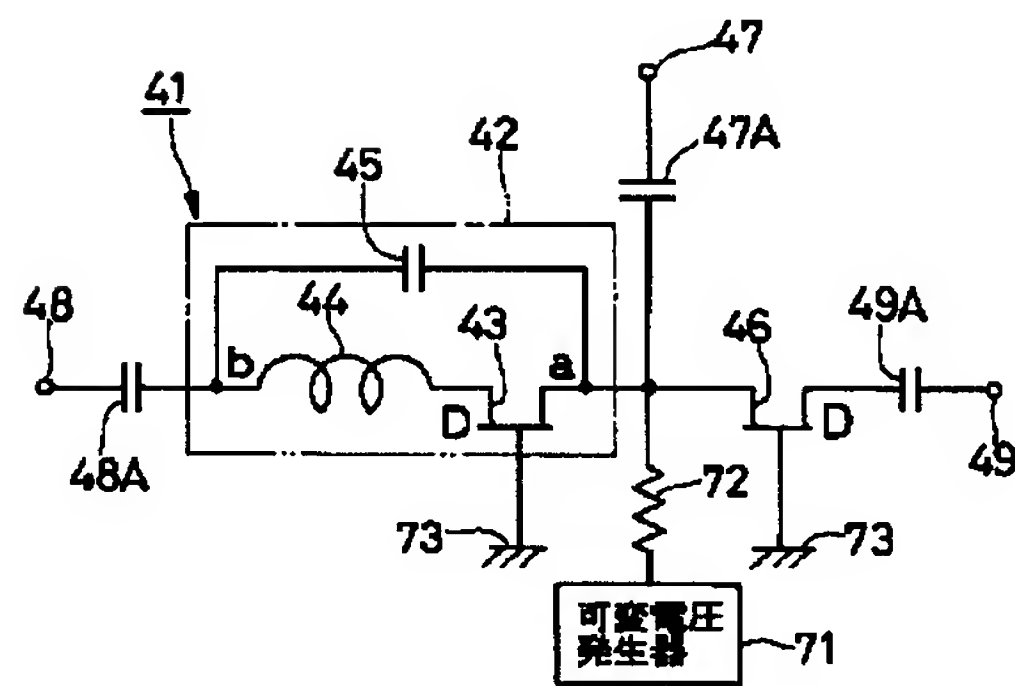
【図 5】



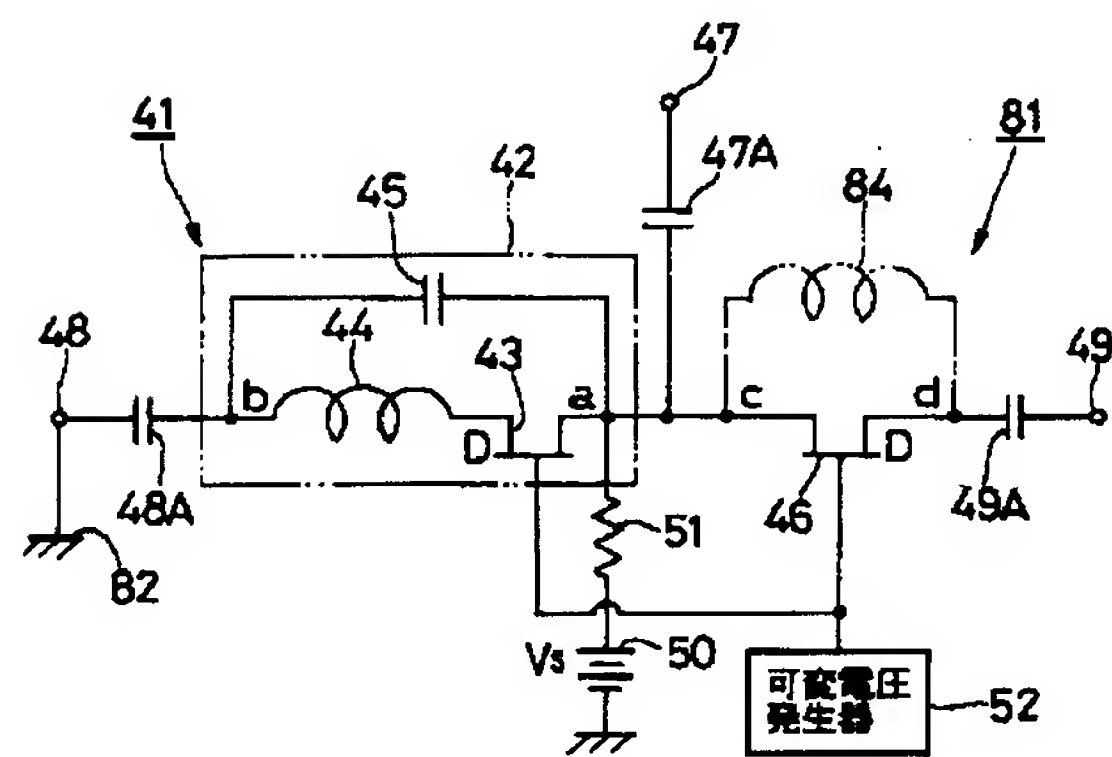
【図 6】



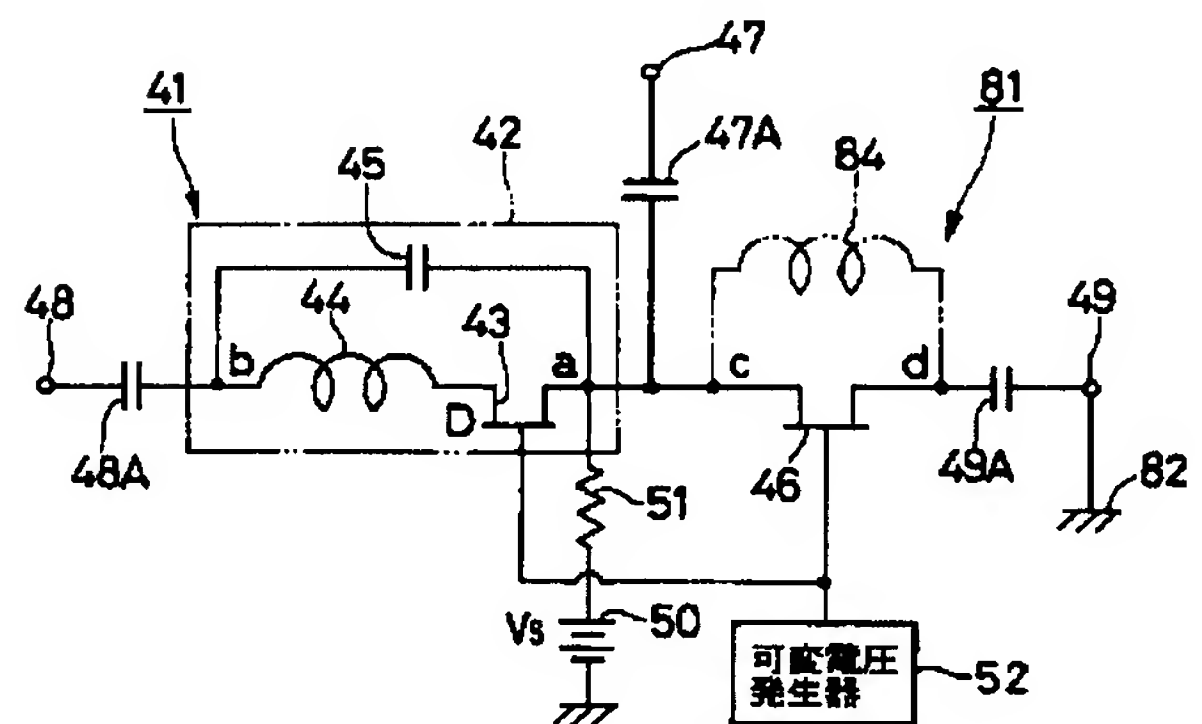
【図 7】



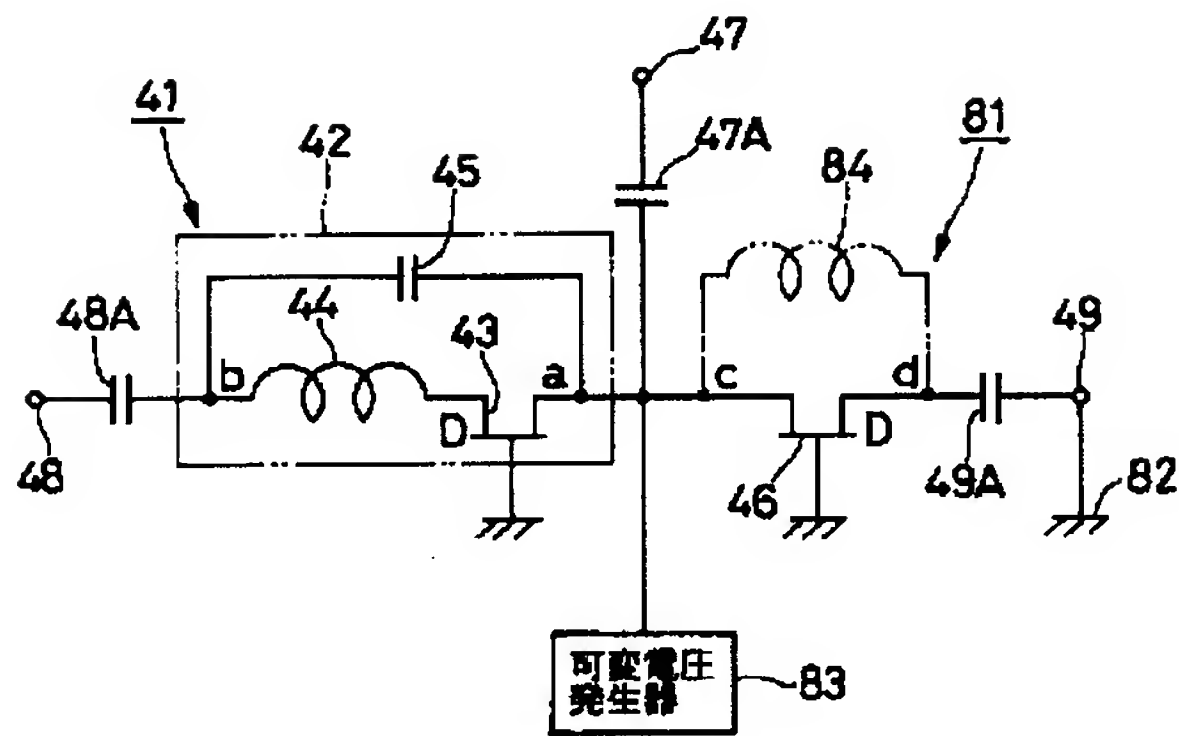
【図 8】



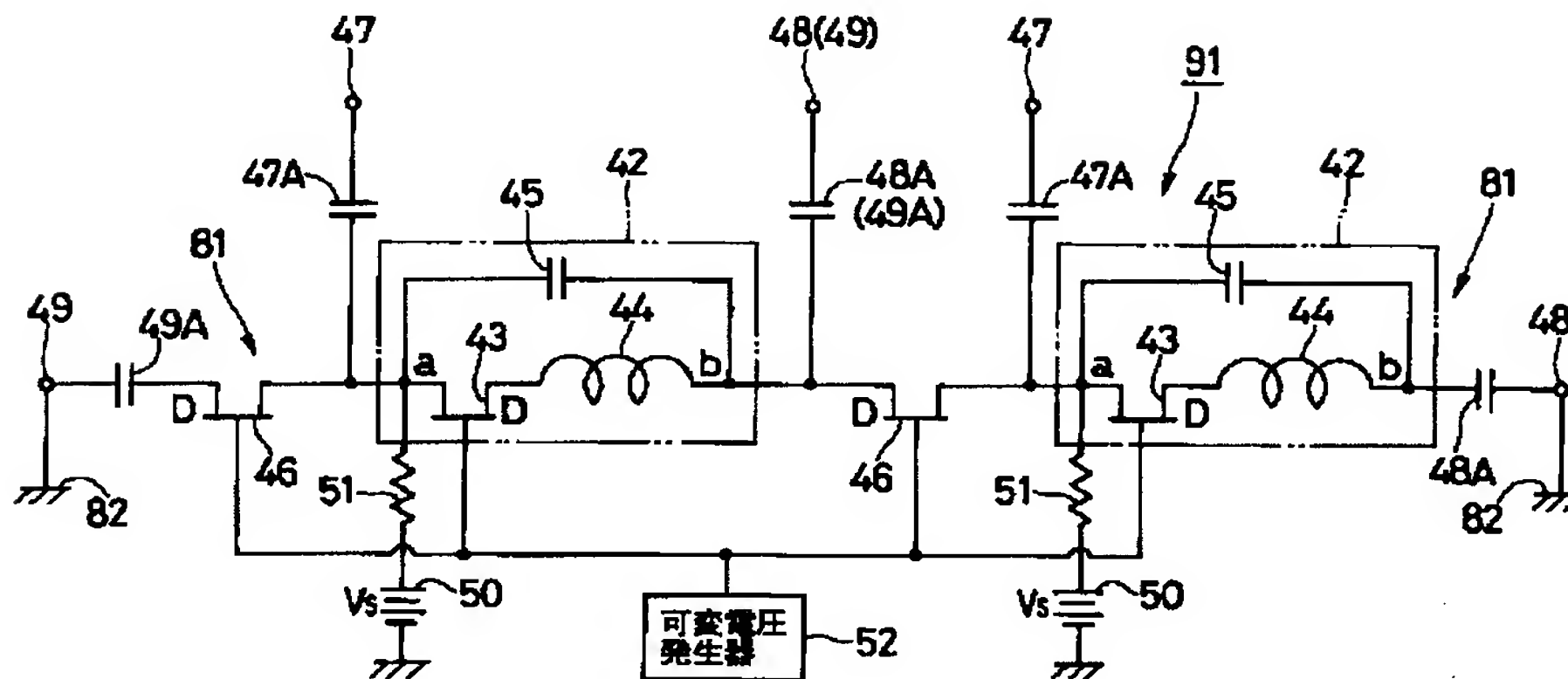
【図 9】



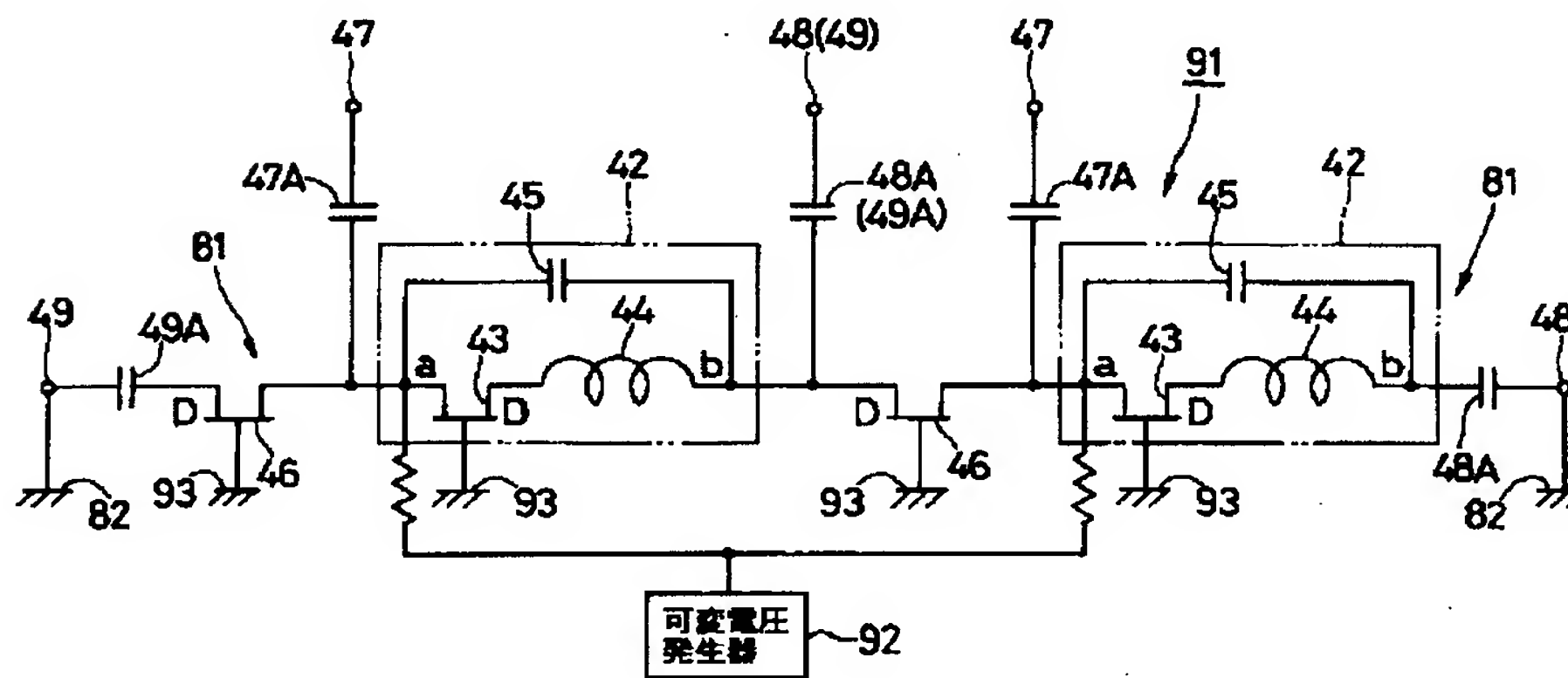
【図 10】



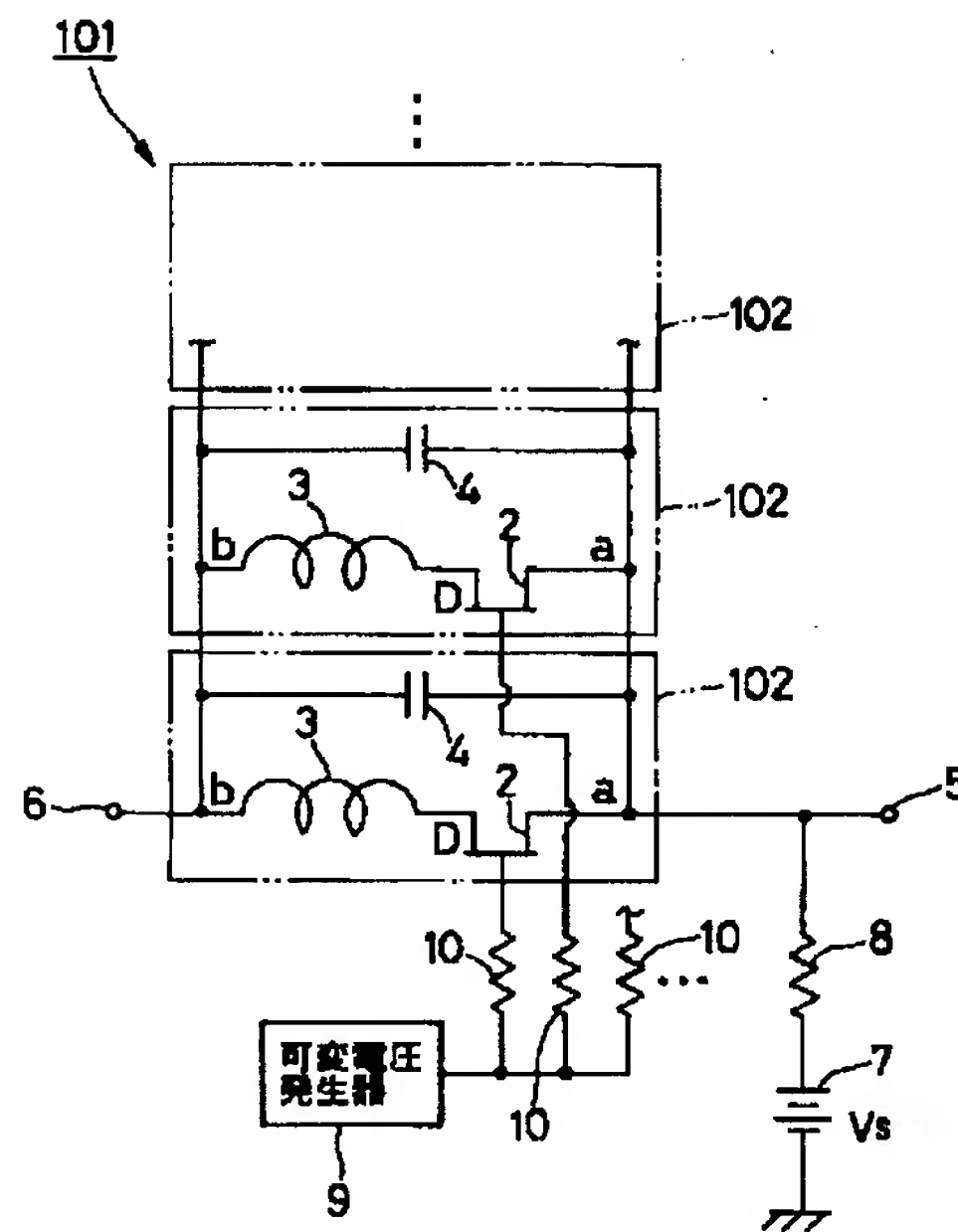
【図 11】



【図 12】



【図 13】



フロントページの続き

F ターム(参考) 5J098 AA03 AA14 AA16 AB11 AC05  
AC09 AC14 AC21 AD28 CA06